

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-282377

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)12月8日

G 06 F 15/66

8419-5B

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 補間付き画像拡大処理回路

⑯ 特 願 昭61-125395

⑰ 出 願 昭61(1986)5月30日

⑱ 発 明 者 後 藤 敏 行 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 発 明 者 美 岡 俊 哉 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑳ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地
 ㉑ 復代理人 井理士 小笠原 吉義

明 題 要

1. 発明の名称 補間付き画像拡大処理回路

2. 特許請求の範囲

入力画像を拡大して出力する画像拡大処理回路において、

入力画像の横幅に等しい第1のシフトレジスタ(11)と、拡大倍率に対応する長さを持つ第2のシフトレジスタ(12)と、後第1および第2のシフトレジスタへの入力として、入力画像または上記第1のシフトレジスタの出力のいずれかを選択する選択回路(13)とを少なくとも有し、出力画像の各アドレスに対応する入力画像の近傍画素を順次保持する近傍画素抽出部(10)と、

該近傍画素抽出部(10)に接続され、近傍画素群の値に基づき、出力画像の各画素の濃度値を算出する補間演算部(18)と、

上記近傍画素抽出部(10)における上記選択回路(13)および上記補間演算部(18)を画像の拡大率に

対応する制御信号によって制御する制御部(19)とを備えたことを特徴とする補間付き画像拡大処理回路。

3. 発明の詳細な説明

(概要)

画像表示装置に表示する画像の拡大に伴う画質劣化を低減するため、複数のシフトレジスタと選択回路とにより、出力画像の各アドレスに対応する入力画像の近傍画素を順次保持する回路を設け、拡大される画像の補間処理を、バイアライン処理によって高速に実行できるようにしている。

(産業上の利用分野)

本発明は、画像表示装置に用いられる画像拡大処理回路であって、特に、入力画像をバイアライン的に処理することによって、補間による自然な拡大画像を高速に得られるようにした補間付き画像拡大処理回路に関するものである。

特開明 62-282377 (2)

【従来の技術】

画像表示装置等では、入力画像の一部分を拡大して、ディスプレイに表示することが必要とされている。従来、ハードウェアの回路により、拡大した出力画像を得る場合、出力画像の各画素に対応する入力画像のアドレスに、最も近い入力画像の画素値を出力する方式がとられている。即ち、出力画像の水平方向および垂直方向に、倍率に応じた画数だけ、入力画像の同じ画素値が繰り返して出力されるような回路が用いられている。

【発明が解決しようとする問題点】

第6図は従来方式の問題点を説明するための図である。

上記従来方式によれば、例えば第6図(a)に示すような入力画像を、縦横各2倍に拡大する場合、その出力画像は、第6図(b)図示ようになる。入力画像における画素P1が、出力画像における画素Q1、Q2、Q3、Q4に対応している。このように、従来方式では、入力画像を単純

に拡大するだけであるので、表示される画像がモザイク状になり、非常に見づらくなって、拡大された画像に自然さが感じられないという問題がある。

そのため、ソフトウェア的な技術により、各種の補間を行う方式が考えられているが、ソフトウェア・プログラム等により処理する場合には、処理に時間がかかるという問題がある。

本発明は上記問題点の解決を図り、拡大された画像がモザイク状になるという欠点を、入力画像における複数の近傍点の補間により取り除くと共に、バイブライニング処理に基つき高速に処理する手段を提供することを目的としている。

【問題点を解決するための手段】

第1図は本発明の基本構成例を示す。

第1図において、10は出力画像の各アドレスに対応する入力画像の近傍画素をバイブライニングに順次保持する近傍画素抽出部、11は入力画像の1ライン分の横幅に等しい第1のシフトレジスタ

12は拡大倍率に対応する長さを持つ第2のシフトレジスタ、13は選択回路(MPX)、14ないし17はそれぞれ近傍画素の画素値を保持するフリップフロップ、18はフリップフロップ14～17の出力である画素値に基づき出力画像の各画素値を計算する回路で構成される補間演算部、19は選択回路13および補間演算部18等に対し制御信号を送る制御部である。

制御部19は、出力画像の水平同期信号に基づいて、選択回路13および補間演算部18に対する制御信号を生成する回路である。n倍に拡大する場合、最初に入力画像を1行分読み込み、次の(n-1)行分はシフトレジスタ11の出力(図示LINE)側を選択するように選択回路13を制御する。また、出力画像の各画素のアドレスを順次計数し、このアドレスを拡大倍率nで割った剰余を算出して、補間演算部18に送出する。

選択回路13は、制御部19による選択信号により、入力画像またはシフトレジスタ11の出力のいずれかを選択し、フリップフロップ14、シ

フトレジスタ11、シフトレジスタ12へ出力する。フリップフロップ14の出力は、1クロック遅れて、フリップフロップ15および補間演算部18へ出力される。

シフトレジスタ12は、拡大倍率に応じた長さを持ち、例えば2倍の場合には、入力画像の2ライン分の画素値を順次ジフトして保持する。シフトレジスタ12の出力は、フリップフロップ16へ送られ、その1クロック後に、フリップフロップ17および補間演算部18に出力される。

補間演算部18は、フリップフロップ14～17の保持する近傍4点の画素値から、いわゆる線形補間等により、出力画像の各画素値を算出する。

【作用】

第2図は本発明の全体的な作用を説明するための図である。図中、30は入力画像、31は出力画像を表し、P0、P1、…は入力画像の画素値、Q1、Q2、…は出力画像の画素値を表している。また、T₁は、各フリップフロップ14～17に

特開昭62-282377(3)

保持される近傍4点の画素値を、時系列的に表したものである。

例えば、第2図に示す入力画像30を縦横2倍に拡大する場合、制御部19は、最初に入力画像を1ライン分選択する信号を、選択回路13へ送る。これにより、シフトレジスタ11、シフトレジスタ12およびフリップフロップ14に、順次、画素値P0、P1、P2、P3が送られる。

次に、制御部19は、選択回路13にシフトレジスタ11の出力を1ライン分選択する信号を送る。これにより、画素値P0、P1、P2、P3が、再度、シフトレジスタ11、シフトレジスタ12およびフリップフロップ14に、送られることになる。

その後、制御部19は、入力画像30を1ライン分選択する信号に切り替える。これにより、次の1ライン分の画素値P4、P5、P6、P7が、シフトレジスタ11、シフトレジスタ12およびフリップフロップ14へ順次出力される。以下同様、制御部19は、2倍の場合には1ライン毎

に選択信号を切り替えていく。

以上の処理変換により、フリップフロップ14～17には、T₁として示すような値が各クロック毎に保持されることになる。補間演算部18は、各T₁の近傍4点の画素値から、線形補間等の補間演算を行い、出力クロックに対応して、出力画像Q1を出力する。即ち、T₀の値からQ0を演算し、T₁の値からQ1を演算し、…、T₄の値からQ8を演算し、…というように、出力画像Q1の補間された画素値を求めて出力する。

以上のように、本発明の回路によれば、補間された拡大画像を、パイプライン処理によって、高速に得ることができるようになる。

〔実施例〕

第3図は本発明の一実施例における動作タイムチャート、第4図は本発明の一実施例による3倍拡大時における回路図、第5図は補間演算の例を示す。

入力画像を縦横2倍に拡大して出力する場合、

第1図に示すシフトレジスタ12は、入力画像の2倍の幅幅を持つように構成される。選択回路13に対する選択信号は、第3図に示すように、例えば“H”のときに選択回路13が入力画像例(IN)を選択し、“L”のときにシフトレジスタ11の出力側(LINE)を選択するようにされる。

2倍に拡大する場合には、選択信号が、入力画像の1ライン毎に、“H”/“L”を繰り返す。“H”の場合に、入力画像がフリップフロップ14(D1)に取り込まれる。その値は入力1クロック後に、フリップフロップ15(D2)に取り込まれる。第3図からわかるように、入力画像は間歇的に近傍画素抽出部10に入力されることになるが、例えば、カメラから直接画像データを入力する場合には、近傍画素抽出部10の前にFIFOバッファ等を設ければよい。

フリップフロップ16(D3)には、D1に次の画素値が入力されるときに、その前の行の画素値が順次入力される。フリップフロップ17(D4)

D4)には、入力1クロック遅れで、D3の値が取り込まれる。以上により、各D1、D2、D3、D4には、同じラインのデータが2回ずつ入力されることになる。

第3図に示すように、近傍画素抽出部10を制御する入力1クロックに対し、補間演算部18における出力の2クロックが対応するようにされ、D1、D2、D3、D4が保持する近傍4点の画素値から出力画像の画素値Q0、Q1、…が、補間演算によって順次演算されて出力される。

以上は2倍に拡大する場合の例であるが、それ以上の倍率の場合も同様である。例えば、縦横3倍に拡大する場合における回路構成は、第4図に示すようになる。第4図において、L1～L4は、それぞれ1ライン分のシフトレジスタからなるバッファである。即ち、第1図に示す第2のシフトレジスタ12は、入力画像の3ライン分の長さを持つ。

選択回路13に対する選択信号は、入力画像の1ライン分の周期をTとすると、“H”がT時間

特開昭62-282377(4)

であって、その後、"L"が2T時間続くようにされ、入力画像とラインバッファ11の出力とが、1対2の時間間隔で選択されるように制御される。これにより、各フリップフロップ14~17には、同じラインの画素値が3回ずつ保持されることになる。

なお、拡大倍率を2倍とか3倍とかに固定しないで、予め大きな倍率で拡大ができるように回路を構成しておき、制御部19への指示信号によって、特に第2のシフトレジスタ12の長さを変更できるようにすれば、選択回路13への選択信号および発作クロックを調整することなどにより、動的に倍率を変えることが可能となる。

次に第3図に従って、補間演算部18による補間演算の例を説明する。例えば、矩形補間では、出力画像31における入力画像30の元の各画素に対応する値を持つ画素間の画素値を、その元の画素との距離に比例した重み付けによる平均値によって定める。

図2に拡大2倍の場合には、例えば第5図に

化して設けることなどにより、近傍9点の画素値に基づく補間処理を実行するというような拡張も可能である。

〔発明の効果〕

以上説明したように、本発明によれば、パイプライン処理によって、自然で見易い補間された拡大画像を高速に得ることができる。

4. 図面の簡単な説明

第1図は本発明の基本構成例、第2図は本発明の全体的な作用を説明するための図、第3図は本発明の一実施例における動作タイムチャート、第4図は本発明の一実施例による3倍拡大時における回路例、第5図は補間演算の例、第6図は従来の方式の問題点を説明するための図を示す。

図中、10は近傍画素抽出部、11は第1のシフトレジスタ、12は第2のシフトレジスタ、13は選択回路、14~17はフリップフロップ、18は補間演算部、19は制御部、30は入力画

素のように、出力画像31の画素値 $Q_{0,1}$ は、入力画像30の $P_{0,0}$ と同じ値を持ち、 $Q_{0,1}$ は、 $P_{0,1}$ と同じ値を持つ。同様に $Q_{0,2}$ は $P_{0,2}$ 、 $Q_{1,1}$ は $P_{1,1}$ に対応する。その間の $Q_{0,1}$ は、 $P_{0,0}$ と $P_{0,1}$ との平均値として求められ、 $Q_{1,1}$ の場合には、近傍4点の $P_{0,0}$ と $P_{0,1}$ と $P_{1,0}$ と $P_{1,1}$ との平均値として求められる。即ち、補間演算部18は、次式による演算を行う。

$$\begin{aligned} Q_{0,1} &= P_{0,1} \\ Q_{0,2} &= (P_{0,1} + P_{0,2}) / 2 \\ Q_{1,1} &= (P_{0,1} + P_{1,1}) / 2 \\ Q_{1,2} &= (P_{0,1} + P_{0,2} \\ &\quad + P_{1,1} + P_{1,2}) / 4 \end{aligned}$$

なお、この演算を実行する回路の詳細については、周知の回路技術を用いて実現できるので、説明を省略する。3倍以上の場合にも同様に演算可能である。

以上の実施例では、近傍4点の画素値に基づいて補間処理を行っているが、第1、第2のシフトレジスタに加えて、さらにシフトレジスタを多設

像、31は出力画像を表す。

特許出願人 富士通株式会社
代理人 弁理士 小笠原 吉雄

特開昭 62-282377 (5)

